

Electronique des capteurs intégrés

Capteurs intégrés MEMS

Contexte de l'intégration des systèmes

M. Denoual

1

Contexte

Electronique Intégrée capteurs MEMS

- Intégration sur silicium :
 - électronique mixte analogique-numérique
 - capteurs et systèmes
 - électronique et capteurs

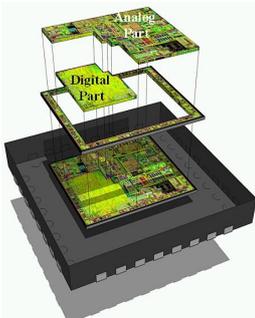
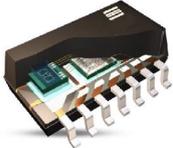


Illustration d'un tuner intégré



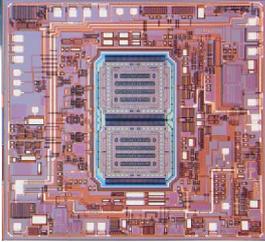
Accéléromètre angulaire ST
L6671 : 2.5rad/sec² ; 30\$



Capteur de pression SAR10



Système en boîtier
System-in-package SiP



Système sur puce
System-on-chip SoC

2

Electronique intégrée capteurs MEMS | **Plan**

- Vers l'électronique Analogique à temps discrets / Interface capteur
 - Modulateur sigma-delta
 - Électronique à capacités commutées
 - Architecture de l'électronique des capteurs intégrés
- TP : Electronique à capacités commutées : convertisseur sigma-delta
 - Modélisation et simulation haut-niveau
- Microsystèmes et capteurs MEMS :
 - Principe - Procédés - physique associée
- TP : Electronique à capacités commutées : convertisseur sigma-delta
 - Mesure caractérisation

3

Electronique intégrée capteurs MEMS | **Capteurs intégrés MEMS**

MEMS/microsystèmes

- savoir ce que c'est
- à quoi ça sert (pros./cons.)
- comment c'est fait
- comment ça marche

introduction

technique fabrication

nouvelles forces (thermique, électrostatique)

nouvelle électronique (capacités commutées)

intelligent-sensor

smart-sensor

+ communication

+ aspect énergétique (baterries/DC-DC, energy harvesting)

capteur autonome smart-dust

4

I. Convertisseur Sigma-Delta

Contexte de l'électronique numérique

M. Denoual 1

I. Sigma-Delta Contexte de l'intégration électronique
 convertisseur : interface monde analogique et circuit numérique

Circuits mixtes ⇒ Convertisseur Analogique Numérique
 même technologie que le circuit numérique

Besoin de circuit numériques rapides ⇒ intégration CMOS $delay \propto C \frac{V_{dd}}{(V_{dd} - V_{th})^2}$

réduction de la tension d'alimentation

réduction de la consommation 👍 $P = \alpha C V_{dd}^2 F$

réduction de l'excursion de tension (voltage-swing) 👎

Conception analogique compliquée
 Marge de bruit

Graph 1: Intrinsic gain and fT vs. Transistor length

Transistor length (μm)	Intrinsic gain (dB)	fT (GHz)
0.09	~20	~10
0.13	~25	~15
0.18	~28	~20
0.25	~30	~25
0.35	~32	~30
0.5	~33	~35

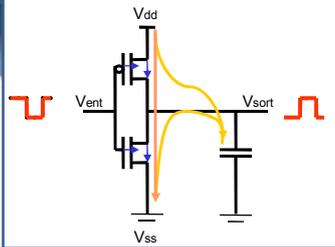
Graph 2: Supply and Threshold Voltage vs. CMOS Technology Generation

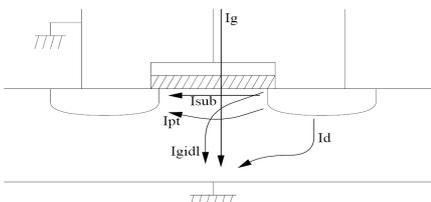
CMOS Technology Generation (μm)	Supply Voltage (V)	Threshold Voltage (V)
0.09	~1.0	~0.5
0.13	~1.5	~0.6
0.18	~2.0	~0.7
0.25	~2.5	~0.8
0.35	~3.0	~0.9
0.5	~3.5	~1.0

2

I. Sigma-Delta (parenthèse : consommation des circuits intégrés numériques)

- Pour les circuits numériques
 - Deux aspects différents : $P_{cell} = P_{static} + P_{dynamic}(\alpha)$
 - Puissance dynamique : activité $P = \alpha C V_{dd}^2 F$
 - Puissance de fuite (leakage power, static)
 - Impacts différents
 - Différentes techniques de réduction



$$E_{stockée} = \int_0^Q V(t) dq = \int_0^{V_{dd}} V(t) C dV = \frac{1}{2} C V_{dd}^2$$


$$P_{sub} \propto C_{ox} \frac{W}{L} \exp\left(\frac{V_{GS} - V_{th} - \eta V_{DS}}{\eta V_t}\right) \cdot V_{dd}$$

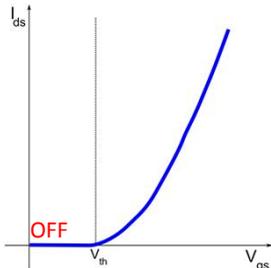
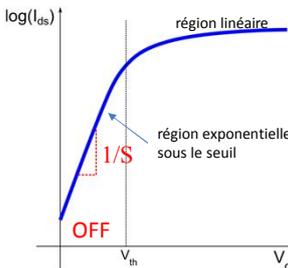
$$P_{lg} \propto \left(\frac{V_{dd}}{T_{ox}}\right)^2 \exp\left(\frac{-\alpha T_{ox}}{V_{dd}}\right) \cdot V_{dd}$$

Isub : courant de fuite sous le seuil (subthreshold off state leakage current)
Ig : courant de fuite par effet tunnel (gate tunnelling leakage current)
Id : courant de fuite de jonction inverse (reverse junction leakage current)
Igidl : courant de fuite induit par la grille (Gate Induced Drain Leakage)
Ipt : courant de fuite transistor à canal court (Drain Source Punch Through)

3

I. Sigma-Delta (parenthèse : consommation des circuits intégrés numériques)

- Courant de fuite sous le seuil

sous le seuil, variation exponentielle :

$$I_{ds} \propto \exp\left(\frac{qV_{gs}}{\eta kT}\right)$$

η paramètre technologique typ. 1 à 4

$$S = \eta \cdot \left(\frac{kT}{q}\right) \cdot \ln(10) \quad \text{subthreshold swing} \quad S = \frac{V_{gs}}{\log(I_{ds})}$$

$S = \eta \cdot 60\text{mV} @ \text{temp ambiante}$

$V_{gs} \downarrow 60\text{mV} \Rightarrow \exp\left(\frac{qV_{gs}}{kT}\right) \downarrow 10 \times$

4

I. Sigma-Delta (parenthèse : consommation des circuits intégrés numériques)

- Courant de fuite sous le seuil

Transition ON-OFF : de moins en moins OFF

$$S = \eta \cdot \left(\frac{kT}{q} \right) \cdot \ln(10)$$

$$S = \eta \cdot 60 \text{ mV @ temp ambiante}$$

Exemple pour un finFET. $V_D=1V$; L variable ; S=varie de 61 à 250 mV/dec

5

I. Sigma-Delta (parenthèse : consommation des circuits intégrés numériques)

- Compromis performance (vitesse 1/delay) et puissance de fuite sous le seuil
- Technologie sub-micron \Rightarrow 50/50

$$1/\text{delay} \propto (V_{dd} - V_{th})^2$$

$$P_{sub} \propto C_{ox} \frac{W}{L} \exp\left(\frac{V_{GS} - V_{th} - \eta V_{DS}}{\eta V_t}\right) \cdot V_{dd}$$

$V_{th} \nearrow$ performance \searrow ; $P_{sub} \searrow$

Static Power Significant at 90 nm

International Technology Roadmap for Semiconductors (ITRS) 2001, 2002. Courtesy: Moore's Law Meets Static Power, Computer, December 2003, IEEE Computer Society

Figure 1: Static and Dynamic Power vs. Technology Node

6

I. Sigma-Delta | Contexte de l'intégration électronique
 convertisseur : interface monde analogique et circuit numérique

réduction de l'excursion de tension (voltage-swing) 

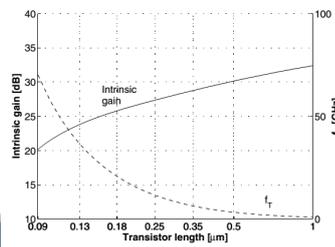
↳ Conception analogique compliquée
 Marge de bruit

Rmq ! voltage-swing \Leftrightarrow niveau de bruit \Leftrightarrow pour garantir la même dynamique

Rmq ! De manière générale, faible tension d'alimentation n'entraîne pas directement faible consommation pour les convertisseurs CAN sigma-delta.

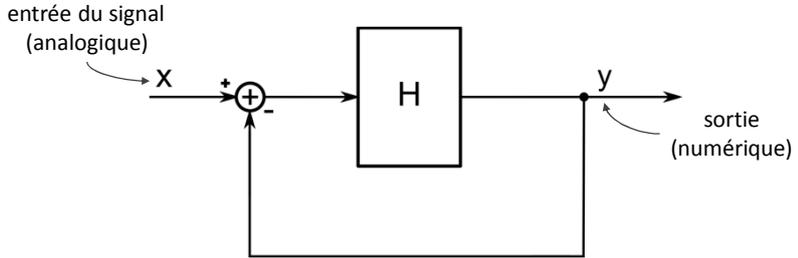
Rmq ! Dans les circuits analogiques, la dimension minimum est toujours évitée pour des raisons de gain intrinsèque plus faible et de médiocre matching des propriétés des transistors

- Dans ce contexte, la très grande linéarité des CAN de type sigma-delta est un avantage pour les applications à haute résolution par rapport aux autres types de convertisseurs.
- CAN sigma-delta transfère le traitement du signal dans le domaine numérique \Rightarrow consommation réduite



I. Sigma-Delta | Convertisseur analogique-numérique sigma-delta
 Structure générale et principe : système bouclé

- Système bouclé



- H : fonction de grand gain de type passe-bas

$$Y(z) = \frac{H(z)}{1 + H(z)} X(z)$$

STF(z)

Pour H(z) de grand gain dans la bande utile
STF(z) = 1
Y(z) \cong X(z) dans la bande utile

8

I. Sigma-Delta | **Convertisseur analogique-numérique sigma-delta**

Caractéristiques principales du convertisseur sigma-delta

Résolution jusqu'à 24 bits pour une bande passante jusqu'à qqs MHz.
Très grande linéarité.

Résolution possible grâce à

1. **Sur-échantillonnage (oversampling)**
2. **Mise en forme du bruit de quantification (noise shaping)**

9

I. Sigma-Delta | **Convertisseur analogique-numérique sigma-delta**

sur-échantillonnage (oversampling)

Fréquence d'échantillonnage f_s $q = \frac{V_{full\ scale}}{2^N}$

Pas de quantification q

Puissance de bruit de quantification $q^2/12$

Densité spectrale de puissance de bruit $\frac{q^2}{12f_s}$

$SNR = 10 \log \left(\frac{P_{signal}}{P_{bruit}} \right) = 6,02 N + 1,76 \text{ dB}$

Fréquence d'échantillonnage $OSR \times f_s$

OSR : Over Sampling Rate
(facteur de sur-échantillonnage)

Densité spectrale de puissance de bruit $\frac{q^2}{12 OSR f_s}$

$SNR = 6,02 N + 1,76 \text{ dB} + 10 \log(OSR)$

⇒ augmentation du rapport signal-sur-bruit par le sur-échantillonnage (×2 fréquence ⇒ +3dB)

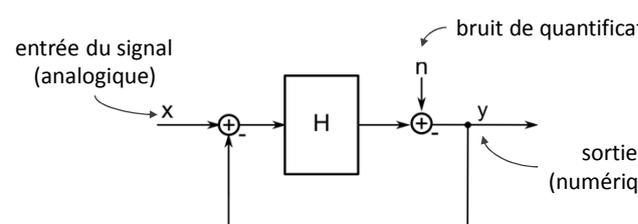
❓ Combien pour avoir un bit supplémentaire, deux bits supplémentaires ?

Req ! Allège les contraintes sur le filtre anti-repliement
Fréquences élevées de traitement pour les blocs en aval

10

I. Sigma-Delta | **Convertisseur analogique-numérique sigma-delta**
mise en forme du bruit (noise shaping)

- Le rapport signal-sur-bruit peut encore être amélioré par la mise en forme du bruit de quantification.
- Cette amélioration est liée à la structure du CAN sigma-delta : système bouclé

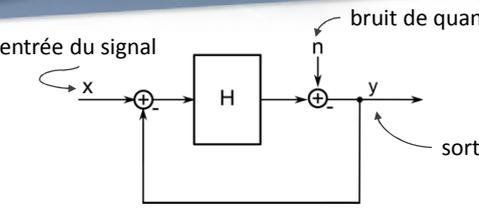


$$Y(z) = \underbrace{\frac{H(z)}{1+H(z)}}_{\text{STF}(z)} X(z) + \underbrace{\frac{1}{1+H(z)}}_{\text{NTF}(z)} N(z)$$

Pour $H(z)$ de grand gain dans la bande utile
 $\text{STF}(z) = 1$
 $\text{NTF}(z) \ll 1$

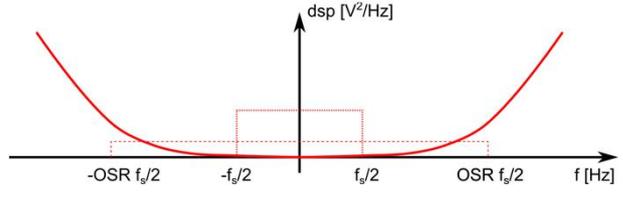
11

I. Sigma-Delta | **Convertisseur analogique-numérique sigma-delta**
mise en forme du bruit (noise shaping)



comportement de type passe-bas

comportement de type passe-haut

$$Y(z) = \underbrace{\frac{H(z)}{1+H(z)}}_{\text{comportement de type passe-bas}} X(z) + \underbrace{\frac{1}{1+H(z)}}_{\text{comportement de type passe-haut}} N(z)$$


12

I. Sigma-Delta | **Convertisseur analogique-numérique sigma-delta**
mise en forme du bruit (noise shaping)

■ **Filtrage numérique**

entrée du signal (analogique) x → \oplus → H → \oplus → y → \oplus → filtre numérique → N → décimateur → sortie (numérique) *bitstream*

bruit de quantification

13

I. Sigma-Delta | **Éléments de la structure du convertisseur sigma-delta**

■ Système bouclé à 1 ou plusieurs boucles de contre-réaction

- nb boucles ordre de la structure

■ Comprenant :

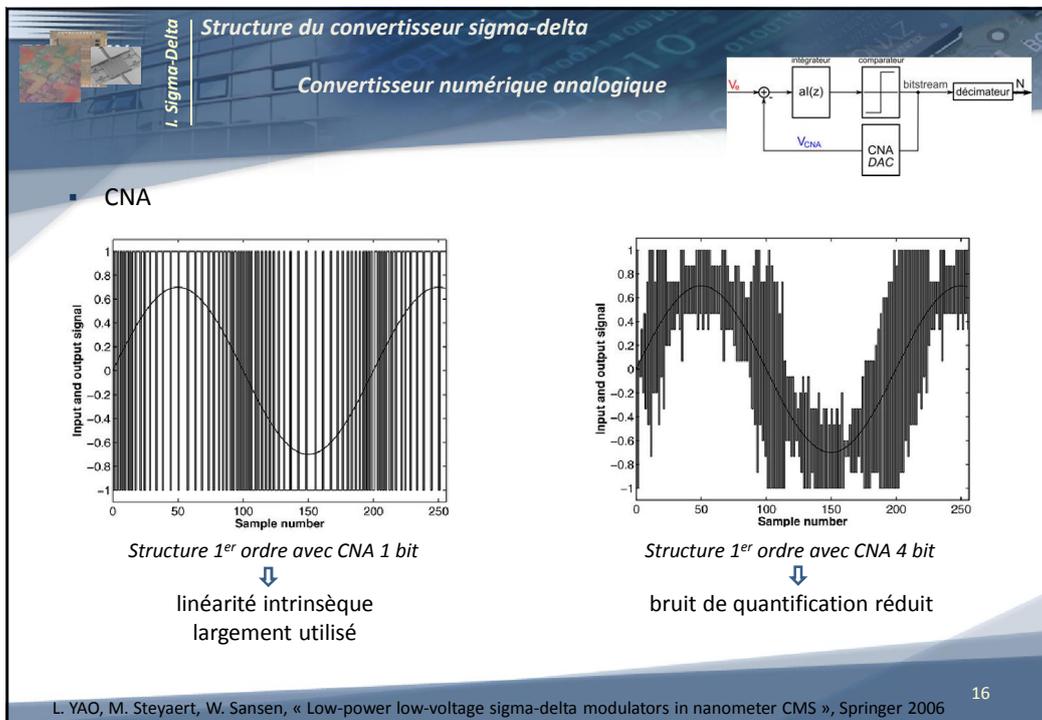
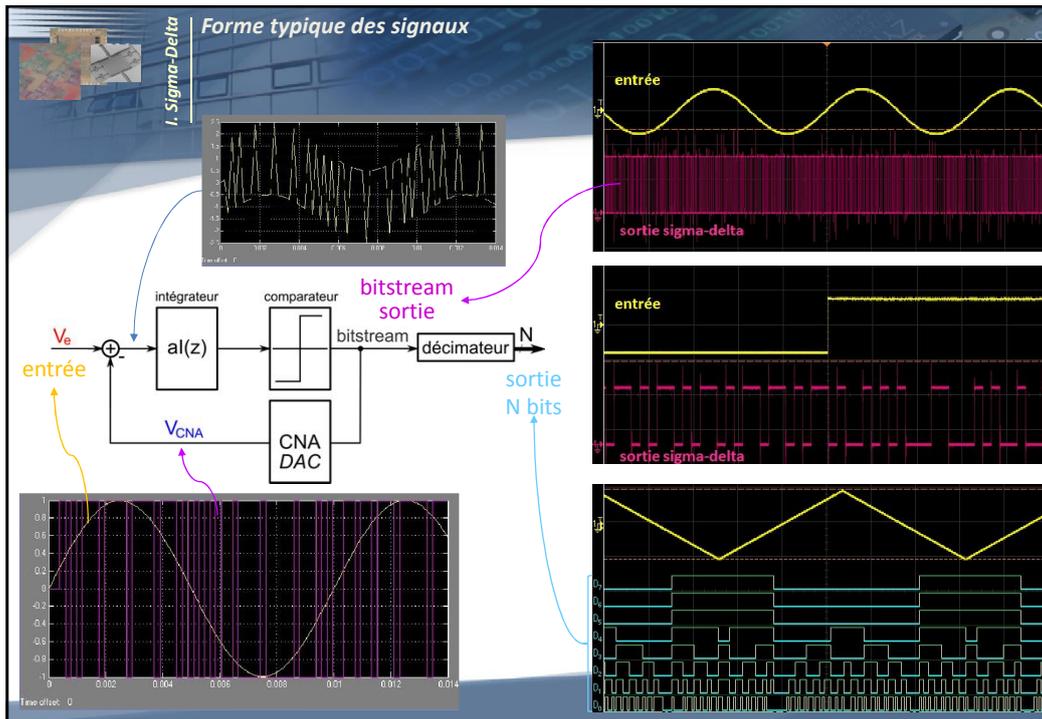
- Intégrateur et comparateur dans la chaîne directe
- Convertisseur Numérique Analogique dans la chaîne de retour
- Filtre numérique décimateur

Structure sigma-delta du 1^{er} ordre

Structure sigma-delta du 2nd ordre

Structure sigma-delta d'ordre plus élevé

14

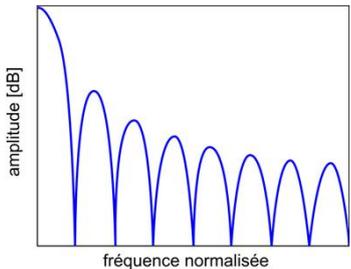


I. Sigma-Delta | Structure du convertisseur sigma-delta
Filtre numérique décimateur

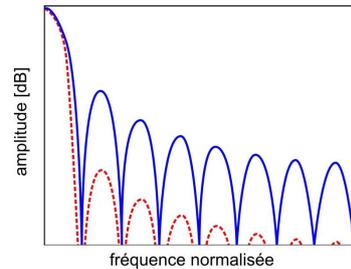
- Moyenne glissante : $y(n) = \frac{1}{L} \sum_{i=0}^{L-1} x(n-i)$  pas de multiplication

$$h(z) = \sum_{i=0}^{L-1} z^{-i} = \frac{1-z^{-L}}{1-z^{-1}}$$

$$|h(z)|_{z=e^{j\omega T_s}} = \frac{1-e^{-jL\omega T_s}}{1-e^{-j\omega T_s}} = \frac{e^{-jL\omega T_s/2} \sin(L\omega T_s/2)}{e^{-j\omega T_s/2} \sin(\omega T_s/2)}$$



s'annule tous les f_s/L



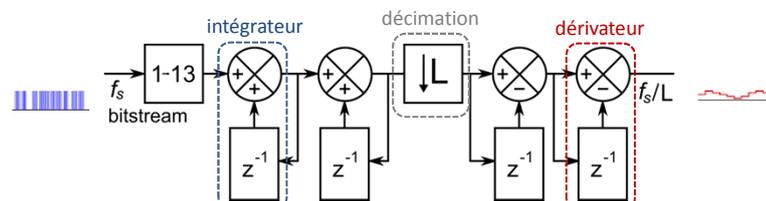
pour atténuer plus autour des k_f_s/L
filtre d'ordre M

$\left(\frac{1-z^{-L}}{1-z^{-1}}\right)^M$

17

I. Sigma-Delta | Structure du convertisseur sigma-delta
Filtre numérique décimateur

- Filtre en peigne (Cascaded Integrator Comb CIC filter) $\left(\frac{1-z^{-L}}{1-z^{-1}}\right)^M$
M : ordre du filtre
L : facteur de décimation



Exemple filtre CIC d'ordre 2 de facteur de décimation L

Nb bits en sortie : $M \log_2(L)$

 Débordement : taille des registres, complément à 2.
Ordre du décimateur : ordre du convertisseur+1

18

I. Sigma-Delta | **Structure du convertisseur sigma-delta**

Filtre numérique : moyenne glissante

$$h(z) = \sum_{i=0}^{L-1} z^{-i} = \frac{1-z^{-L}}{1-z^{-1}}$$

A Moving averager

$$y(n) = \frac{1}{L} \sum_{i=0}^{L-1} x(n-i)$$

Pour 1 éch de sortie :
L-1 additions et division par L

B Recursive running sum

$$y(n) = y(n-1) + \frac{1}{L}(x(n) - x(n-L))$$

Pour 1 éch de sortie :
1 additions et 1 soustraction

C CIC

$$y(n) = x(n) - x(n-L) + y(n-1)$$

$y(n) = \sum_{i=0}^{(k+1)L-1} x(n-i) - \sum_{i=0}^{kL-1} x(n-i)$

D Décimateur CIC

intégrateur dérivateur
décimateur

R. Lyons, « Understanding cascaded integrator-comb filters », EE Times-India, 2005

I. Sigma-Delta | **Convertisseur sigma-delta**

rapport signal-sur-bruit

Fonction de transfert d'une structure idéale d'ordre n $STF(z) = z^{-n}$

$H(z) = \frac{z^{-1}}{1-z^{-1}}$
intégrateur

$p \leftrightarrow \frac{1-z^{-1}}{T_e}$
dérivateur

? Puissance de bruit ?

20

I. Sigma-Delta | Convertisseur sigma-delta
rapport signal-sur-bruit

Fonction de transfert d'une structure idéale d'ordre n $STF(z) = z^{-n}$

$P_{signal} = \frac{(2^N - 1)^2 q^2}{8}$
Puissance signal

? SNR ? (DAC N bits)

21

I. Sigma-Delta | Convertisseur sigma-delta
rapport signal-sur-bruit

? AN : 1^{er} ordre, OSR de 64, DAC 1 bit \Rightarrow SNR ? Nb bits équivalents ?
AN : 2nd ordre, OSR de 64, DAC 1 bit \Rightarrow SNR ? Nb bits équivalents ?

22

I. Sigma-Delta | **Convertisseur sigma-delta**
rapport signal-sur-bruit

- Ordre n ↗ bruit ↘

En pratique instabilité potentielle pour $n > 2$.

23

I. Sigma-Delta | **Convertisseur sigma-delta**
rapport signal-sur-bruit

- En pratique :
 - Saturation des étages
 - Bruits
 - Limitations en courant, tension

$$SNR_p = SNR_{p(\text{idéal})} \cdot (a \times b \times \dots)^2$$

normalement < 1 pour des raisons de stabilité

OSR	16	32	64	128
SNRp [dB]	42	57	74	88
OL	0.7	0.7	0.7	0.65

SNRp et OL en fonction du facteur de sur-échantillonnage (OSR) pour des structures simple boucle, 1-bit, du 2nd ordre avec des coefficients $a=0.5$ et $b=0.5$ [YAO2005]

- ⇒ Simulations haut-niveau
- ⇒ Simulations électriques

24

I. Sigma-Delta | **Convertisseur sigma-delta**

rapport signal-sur-bruit

⇒ Simulations haut-niveau prise en compte

- coefficients des intégrateurs
- des saturations
- du bruit des étages

TP simulink/Matlab

25

P. Malcovati, et al., "Behavioral modeling of switched-capacitor sigma-delta modulators", IEEE Trans. Circuits and Systems-I, 50(3), pp. 352-364, 2003

I. Sigma-Delta | **Métriques de caractérisation**

SNR : *Signal to Noise Ratio*, rapport signal-sur-bruit. C'est le rapport entre la puissance du signal utile et la puissance de bruit à la sortie du convertisseur. Le bruit correspond au bruit de quantification et au bruit du circuit. Le maximum du SNR est noté **SNRp** pour *peak signal-to-noise-ratio*.

SINAD : *Signal to Noise And Distorsion ratio*, rapport signal-sur-bruit tenant compte de la distorsion, aussi appelé **SINDR** (*Signal to Noise and Distorsion Ratio*). C'est le rapport entre la puissance du signal utile et la puissance de bruit et la puissance des composantes harmoniques. Le maximum du SINAD/SINRD est noté **SINADp/SINRDp**. Le SINAD est toujours inférieur au SNR et reflète les performances de linéarité du convertisseur.

ENOB : *Equivalent Number Of Bits*. Nombre de bits équivalent du convertisseur.

THD : *Total Harmonic Distortion*, taux de distorsion harmonique. C'est le rapport entre la puissance de toutes les harmoniques du signal dans la bande passante utile et la puissance du signal. Ce paramètre caractérise la linéarité du convertisseur. Le THD dépend du niveau du signal d'entrée. A cause de la saturation des étages des circuits de fortes amplitudes d'entrée conduisent à un THD plus important que de faibles amplitudes.

SFDR : *Spurious Free Dynamic Range*. C'est la différence entre le niveau du pic de puissance du signal et le niveau du plus haut pic n'étant pas le signal. Ce pic peut correspondre à une harmonique mais pas nécessairement.

DR : *Dynamic Range*, plage de dynamique. C'est le rapport entre la plus grande puissance de signal utile pouvant être appliquée sans dégradation de performance ($SNRp-3dB$) et la plus petite puissance de signal détectable ($SNR=0dB$).

OL : *Overload Level*. C'est l'amplitude relative par rapport à l'amplitude maximum du signal d'entrée qui conduit à un SNR valant $SNRp-3dB$.

26

I. Sigma-Delta

Capteur de température



ANALOG DEVICES

±0.25°C Accurate, 16-Bit Digital I²C Temperature Sensor

ADT7420

Preliminary Technical Data

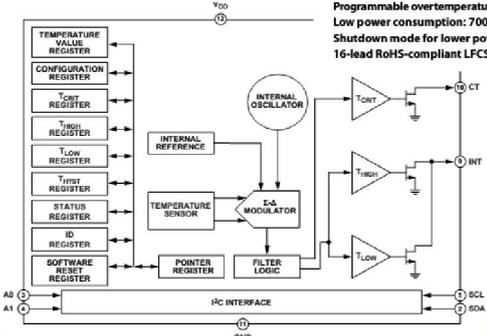
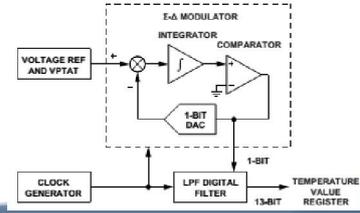
FEATURES

- Temperature accuracy: ±0.25°C from -20°C to +105°C
- 13- or 16-bit user selectable temperature-to-digital converter
- Low drift silicon temperature sensor
- No temperature calibration/correction required by user
- Power saving 1 sample per second (SPS) mode
- Fast first conversion on power-up of 6 ms
- I²C-compatible interface
- Operating temperature: -40°C to +150°C
- Operating voltage: 2.7 V to 5.5 V
- Critical overtemperature indicator
- Programmable overtemperature/undertemperature interrupt
- Low power consumption: 700 µW typical at 3.3 V
- Shutdown mode for lower power: 7 µW typical at 3.3 V
- 16-lead RoHS-compliant LFCSP package

GENERAL DESCRIPTION

The ADT7420 is a high accuracy digital temperature sensor offering breakthrough performance over a wide industrial range, housed in an LFCSP package. It contains a band gap temperature reference and a 13-bit ADC to monitor and digitize the temperature to a 0.0625°C resolution. The ADC resolution, by default, is set to 13 bits (0.0625°C). This can be changed to 16 bits (0.0078°C) by setting Bit 7 in the configuration register to 1 (Register Address 0x03).

The ADT7420 is guaranteed to operate over supply voltages from 2.7 V to 5.5 V. Operating at 3.3 V, the average supply current is typically 210 µA. The ADT7420 has a shutdown mode that powers down the device and offers a shutdown current of typically 2 µA. The ADT7420 is rated for operation over the -40°C to +150°C temperature range.

27

I. Sigma-Delta

Conclusions sur les convertisseurs sigma-delta

- Système bouclé à sur-échantillonnage
 - ⇒ bruit de quantification réduit, résolution importante,
 - ⇒ bande passante limitée

- Traitement du signal transféré dans le domaine numérique } consommation réduite
- Linéarité intrinsèque

- Implémentation en technologie MOS faible coût

- Implémentation simple en **électronique à capacités commutées** } system-on-chip microcapteurs smartcapteurs

Parmi les convertisseurs haute-résolution, le convertisseur sigma-delta est plus robuste et plus efficace énergétiquement que les autres.

28

I. Sigma-Delta

Références

- L. YAO, M. Steyaert, W. Sansen, « Low-power low-voltage sigma-delta modulators in nanometer CMS », Springer 2006
- P. Malcovati, et al., “Behavioral modeling of switched-capacitor sigma-delta modulators”, IEEE Trans. Circuits and Systems-I, Vol. 50, N°.3, pp. 352-364, 2003
- R. Lyons, « Understanding cascaded integrator-comb filters», EE Times-India, 2005

29

I. Sigma-Delta

Convertisseur sigma-delta

rapport signal-sur-bruit

$$P_{signal} = \frac{2^{2N} q^2}{8}$$

la puissance de signal en entrée est alors sur-estimée.

$$P_{signal} = (v_{signal_{eff}})^2 = \left(\frac{(2^N - 1) \cdot q}{2 \cdot \sqrt{2}} \right)^2 = \frac{(2^N - 1)^2 \cdot q^2}{8}$$

$$SNR(dB) = 10 \log \left(\frac{\frac{(2^N - 1)^2 \cdot q^2}{8}}{\left(\frac{q}{2} \right)^2 \cdot \frac{1}{3\pi(2n+1)} \cdot \left(\frac{\pi}{OSR} \right)^{2n+1}} \right)$$

$$= 10 \log \left(\frac{3\pi}{2} \cdot (2^N - 1)^2 \cdot (2n+1) \cdot \left(\frac{OSR}{\pi} \right)^{2n+1} \right)$$

$$= 1.76dB + 20 \log(2^N - 1) + 10 \log(2n+1) + (2n+1) \cdot 10 \log(OSR) - 2n \cdot 10 \log(\pi)$$

$$= 1.76dB + 6.02(N + N_{MC})$$

The graph shows a blue solid line representing a signal waveform and a red dotted line representing a noise waveform. The signal amplitude is labeled 'q' and the noise amplitude is labeled 'q'. The x-axis is labeled 't' and the y-axis has markers at 0 and 1.

30

II. Electronique à capacités commutées

Electronique pour capteurs intégrés

M. Denoual

II. Switched-cap | Electronique à capacités commutées

Généralités

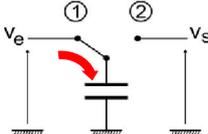
- L'approche la plus populaire pour de l'analogique intégrée avec des transistors MOS
 - Depuis les années 60
- Traitement du signal à temps discret sans convertisseur CNA ou CNA
- ⚠ **Filtre anti-repliement nécessaire** quand combiné avec circuits à temps continu
- Dimensionnement précis (capacités 0,1% + quartz) comparé à R classique (20%)
- Analyse avec la transformée en z ou transfert de charge (équation de récurrence)

2

II. Switched-cap | Capacité commutée, transfert de charge

Principe

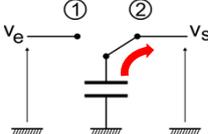
- $]0, T/2[$: 1^{ère} demi-période, commutateur en position ①



quantité de charge : $Q(0) = C V_e(0)$

accumulation de charge

- $]T/2, T[$: 2nde demi-période, commutateur en position ②



charge de C : $Q((1/2)T) = C V_s((1/2)T)$

perte de charge

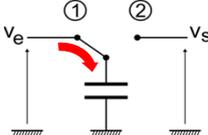
$\delta Q = C(V_e(0) - V_s((1/2)T))$

3

II. Switched-cap | Capacité commutée, transfert de charge

Principe (cont.)

- $]T, 3T/2[$: commutateur en position ①



quantité de charge : $Q(T) = C V_e(T)$

accumulation de charge

$\delta Q = C(V_e(T) - V_s((1/2)T))$

- sur une période, la charge totale transférée est :

$$Q_{e \rightarrow s} = C(V_e - V_s)$$

équivalent à une résistance de valeur T/C

4

II. Switched-cap | **Capacité commutée, transfert de charge**
Limite de l'analogie

$Q_{e \rightarrow s} = C(V_e - V_s)$ équivalent à une résistance de valeur T/C

$f(1/T)$

$R(T/C)$

amplitude

phase

5

II. Switched-cap | **Intégrateur simple à capacités commutées**

Démarche d'analyse des systèmes à capacités commutées en trois étapes

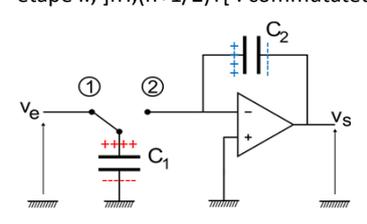
- 1- précharge des sous-systèmes électrostatiques
- 2- redistribution des charges à l'intérieur d'un système isolé électrostatiquement résultant de l'assemblage de sous-systèmes
- 3- tensions en marche d'escalier aux entrées comme à la sortie

6

II. Switched-cap | Intégrateur simple à capacités commutées

Note Convention notation (xxT) début de l'intervalle

- étape I.;]nT,(n+1/2)T[: commutateur en position ①

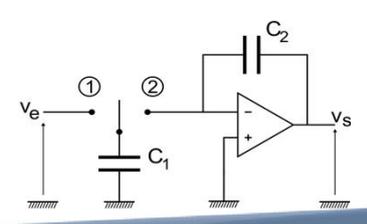


précharge :

$$Q1_i = C1Ve(nT)$$

$$Q2_i = -C2Vs(nT)$$

- (n+1/2)T : ouverture, non-recouvrement



pas de perte de charge

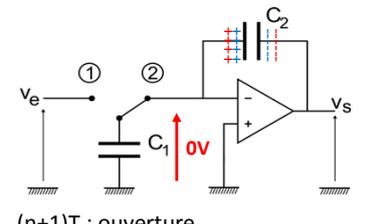
$$Q1_i = Q1(nT)$$

$$Q2_i = Q2(nT)$$

7

II. Switched-cap | Intégrateur simple à capacités commutées

- étape II.;](n+1/2)T, (n+1)T[: commutateur en position ②

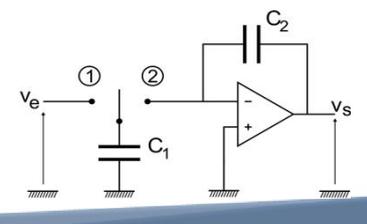


redistribution des charges :

$$Q2_{ii} = Q2_i + Q1_i$$

$$-C2Vs((n+1/2)T) = -C2Vs(nT) + C1Ve(nT)$$

- (n+1)T : ouverture



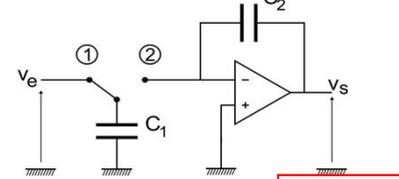
pas de perte de charge

$$Q2_{ii} = Q2((n+1/2)T)$$

8

II. Switched-cap | Intégrateur simple à capacités commutées

étape III.;](n+1)T, (n+3/2)T[: commutateur en position ①



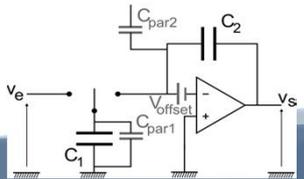
$Q_{2_{III}} = Q_{2_{II}}$

$V_s((n+1)T) = V_s((n+1/2)T)$

équation de récurrence : $V_s((n+1)T) = V_s(nT) - \frac{C_1}{C_2} V_e(nT)$

Remarque : notation en z $zV_s(z) = V_s(z) - \frac{C_1}{C_2} V_e(z) \Rightarrow V_s(z) = \frac{-C_1/C_2}{z-1} V_e(z)$

architecture sensible aux capacités parasites et tension d'offset de l'amplificateur

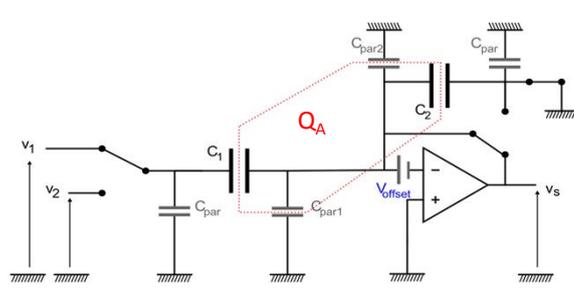


9

II. Switched-cap | Amplificateur à capacités commutées à double échantillonnage

Principe : mémorisation de la valeur de l'offset dans la capacité C2

I.]nT; (n+1/2)T[précharge et autozéro



$(Q_A)_I = C_1[-V_1(nT) + V_{offset}] + C_2 V_{offset} + [C_{par1} + C_{par2}] V_{offset}$

$V_s(nT) = V_{offset}$

(n+1/2)T ; non recouvrement : $(Q_A) = (Q_A)_I$

10

II. Switched-cap Amplificateur à capacités commutées à double échantillonnage

(Q_A)_i = C₁[-V₁(nT) + V_{offset}] + C₂V_{offset} + [C_{par1} + C_{par2}]V_{offset}

II.] (n+1/2)T ; (n+1)T[union, redistribution

(Q_A)_{ii} = C₁[-V₂((n+1/2)T) + V_{offset}] + C₂[V_{offset} - V_S((n+1/2)T)] + [C_{par1} + C_{par2}]V_{offset}

(Q_A)_{ii} = (Q_A)_i

~~C₁[-V₁(nT) + V_{offset}] + C₂V_{offset} + [C_{par1} + C_{par2}]V_{offset}~~

~~=~~

~~C₁[-V₂((n+1/2)T) + V_{offset}] + C₂[V_{offset} - V_S((n+1/2)T)] + [C_{par1} + C_{par2}]V_{offset}~~

V_S((n+1/2)T) = C₁ / C₂ [V₁(nT) - V₂((n+1/2)T)]

11

II. Switched-cap Amplificateur à capacités commutées à double échantillonnage

Les effets des capacités parasites sont éliminés
L'offset est mesuré pendant la phase d'auto-zéro et retranché durant la phase d'amplification. La technique de corrélation par double échantillonnage permet d'éliminer des valeurs idéalement corrélés.

V_S((n+1)T) = V_{offset}

V_S((n+1/2)T) = C₁ / C₂ [V₁(nT) - V₂((n+1/2)T)]

Remarque : cette technique de double échantillonnage permet également de réduire le bruit.

même démarche que précédemment

(Q_A)_{ii} = (Q_A)_i

C₁[-V₁(nT) + V_{bruit}(nt)] + C₂V_{bruit}(nt) + [C_{par1} + C_{par2}]V_{bruit}(nt)

=

C₁[-V₂((n+1/2)T) + V_{bruit}((n+1/2)t)] + C₂[V_{bruit}((n+1/2)t) - V_S((n+1/2)T)] + [C_{par1} + C_{par2}]V_{bruit}((n+1/2)t)

II. Switched-cap | Amplificateur à capacités commutées à double échantillonnage

$$V_s(nT) = V_{\text{bruit}}((n+1/2)T)$$

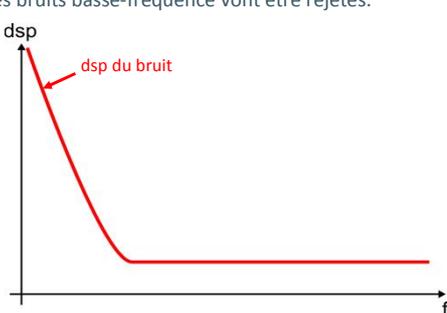
$$C_2 V_s((n+1/2)T) = C_1 [V_1(nT) - V_2((n+1/2)T)] + [C_1 + C_2 + C_{\text{par1}} + C_{\text{par2}}] (V_{\text{bruit}}((n+1)T) - V_{\text{bruit}}((n+1/2)T))$$

On prend la valeur de bruit à la fin de l'intervalle.

Seule la différence de tension de bruit aux instants $(n+1/2)T$ et $(n+1)T$ intervient.
Les bruits basse-fréquence vont être rejetés.

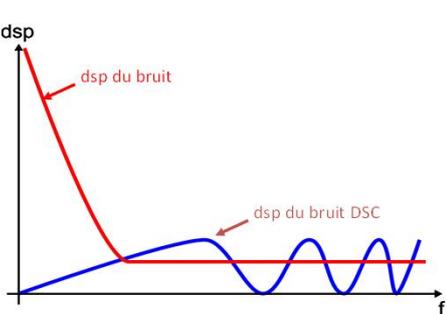
Rappel la densité spectrale de puissance s'exprime comme le carré du module de la transformée de Fourier

$$V_{\text{bruit}}(t) \xrightarrow{TF} V_{\text{bruit}}(f)$$

$$V_{\text{bruit}}\left(t - \frac{T}{2}\right) \xrightarrow{TF} V_{\text{bruit}}(f) \exp(-j\pi f T)$$


13

II. Switched-cap | Amplificateur à capacités commutées à double échantillonnage

$$\text{dsp}\left(V_{\text{bruit}}(t) - V_{\text{bruit}}\left(t - \frac{T}{2}\right)\right)$$


Le bruit est très atténué en basse fréquence, mais attention, repliement de spectre dû à l'échantillonnage.

II. Switched-cap Modulateur Sigma-Delta ($\Sigma\Delta$) pour la mesure de différence de capacité

Pour la mesure de capacité avec Sigma-Delta, l'intégrateur est réalisé à base de technique à capacités commutées.

On suppose $C_{mes} < C_{ref}$
 L'évolution du système dépend de la valeur de la capacité à mesurer et de l'état du comparateur

$$C_2 V_S((n+1)T) = C_2 V_S(nT) + V_{cc} [C_{mes}(nT) - C_{ref} S(nT)]$$

$$V_S((n+1)T) > 0 \Rightarrow S((n+1)T) = 1$$

$$V_S((n+1)T) \leq 0 \Rightarrow S((n+1)T) = 0$$

15

II. Switched-cap Modulateur Sigma-Delta ($\Sigma\Delta$) pour la mesure de différence de capacité

Chronogramme

Exemple pour $C_{mes} = 3C_{ref}/4$
 $V_S((n+1)T) > 0 \Rightarrow S((n+1)T) = 1$
 $V_S((n+1)T) \leq 0 \Rightarrow S((n+1)T) = 0$
 $C_2 V_S((n+1)T) = C_2 V_S(nT) + V_{cc} [C_{mes}(nT) - C_{ref} S(nT)]$

$V_S = \frac{C_{mes}(nT)}{C_2} V_{cc}$
 $\frac{3}{4} \frac{C_{ref}}{C_2} V_{cc}$
 V_S
 1
 S
 t

II. Switched-cap | **Modulateur Sigma-Delta ($\Sigma\Delta$) pour la mesure de différence de capacité**

On fait ressortir S :

$$C_2 V_S((n+1)T) = C_2 V_S(nT) + V_{cc} [C_{mes}(nT) - C_{ref} S(nT)]$$

$$\Rightarrow S(nT) = \frac{C_{mes}(nT)}{C_{ref}} - \frac{C_2 [V_S((n+1)T) - V_S(nT)]}{C_{ref} V_{CC}}$$

S est généré à une fréquence F très élevée par rapport à la fréquence maximum de variation de C_{mes} .
On parle de fréquence de sur-échantillonnage.

Le nombre de commutation de C_{ref} est égal à la somme de S(nT) :

$$Nb_{com} C_{ref}(nT) = \sum_{i=1}^{i=n} S(iT)$$

et la moyenne donne une représentation quantifiée de C_{mes} :

$$moy(nT) = \frac{1}{n} \sum_{i=1}^{i=n} S(iT)$$

Quand on somme les S(iT), les $V_S(iT)$ et $V_S((i+1)T)$ s'éliminent deux par deux et seules restent la première et la dernière valeur. Plus on accumule de valeurs de S plus on accroît ma résolution.

$$moy(nT) = \frac{1}{n} \sum_{i=1}^{i=n} \left(\frac{C_{mes}(iT)}{C_{ref}} \right) - \frac{C_2 [V_S((n+1)T) - V_S(0)]}{n C_{ref} V_{CC}}$$

$n \rightarrow \infty \rightarrow 0$ 17

II. Switched-cap | **CAN à capacités commutées** **AD7634**

ANALOG DEVICES **18-Bit 250/670 kSPS PuISAR®**
Bipolar Programmable Inputs ADC

Preliminary Technical Data **AD7631/AD7634**

FEATURES
Multiple pins/software programmable input ranges:
±10V, ±5V, 10V, 5V
iCMOS™ process technology
Pins or serial SPI input ranges/mode selection
Throughput:
670kSPS (AD7634)
250kSPS (AD7631)
INL: ± 1.75 LSB (7± ppm of full scale)
DNL: ±2/-1 LSB
18-bit resolution with no missing codes
Dynamic range: 102.5 dB typical
SNR: 101 dB typical
THD: -122 dB typical
5V internal reference: typical drift 7ppm/°C; TEMP output
No pipeline delay (SAR architecture)
Parallel (18, 16- or 8-bit bus) and serial 5 V/3.3 V interface
SPI™-/QSPI™-/MICROWIRE™-/DSP-compatible
Power dissipation:
190 mW @ 670kSPS
75 mW @ 250kSPS

FUNCTIONAL BLOCK DIAGRAM

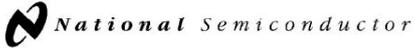
THEORY OF OPERATION

Figure 25. ADC Simplified Schematic

OVERVIEW
The AD7634 is a very fast, low power, precise, 18-bit ADC using successive approximation capacitive digital-to-analog (CDAC) architecture.
The AD7634 can be configured at any time for one of four input ranges and conversion mode with inputs in parallel and serial

CONVERTER OPERATION
The AD7634 is a successive approximation ADC based on a charge redistribution DAC. Figure 25 shows the simplified schematic of the ADC. The CDAC consists of two identical arrays of 18 binary weighted capacitors, which are connected to the two comparator inputs.

convertisseur à approximation successives à capacités commutées


December 1994

MF4 4th Order Switched Capacitor Butterworth Lowpass Filter

General Description

The MF4 is a versatile, easy to use, precision 4th order Butterworth low-pass filter. Switched-capacitor techniques eliminate external component requirements and allow a clock-tunable cutoff frequency. The ratio of the clock frequency to the low-pass cutoff frequency is internally set to 50 to 1 (MF4-50) or 100 to 1 (MF4-100). A Schmitt trigger clock input stage allows two clocking options, either self-clocking (via an external resistor and capacitor) for stand-alone applications, or for tighter cutoff frequency control an external TTL or CMOS logic compatible clock can be applied. The maximally flat passband frequency response together with a DC gain of 1 V/V allows cascading MF4 sections together for higher order filtering.

Features

- Low Cost
- Easy to use
- 8-pin mini-DIP or 14-pin wide-body S.O.
- No external components
- 5V to 14V supply voltage
- Cutoff frequency range of 0.1 Hz to 20 kHz
- Cutoff frequency accuracy of ± 0.3% typical
- Cutoff frequency set by external clock
- Separate TTL and CMOS/Schmitt-trigger clock

MF4 filtre à capacités commutées

$$I_{in} = \frac{C_{in} V_{in}}{T} = C_{in} V_{in} f_{CLK}$$

The equivalent input resistor (R_{in}) then can be expressed as

$$R_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{C_{in} f_{CLK}}$$

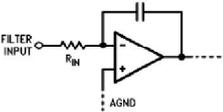
The input capacitor is 2 pF for the MF4-50 and 1 pF for the MF4-100, so for the MF4-100

$$R_{in} = \frac{1 \times 10^{12}}{f_{CLK}} = \frac{1 \times 10^{12}}{f_c \times 100} = \frac{1 \times 10^{10}}{f_c}$$

and

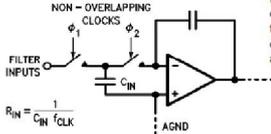
$$R_{in} = \frac{5 \times 10^{11}}{f_{CLK}} = \frac{5 \times 10^{11}}{f_c \times 50} = \frac{1 \times 10^{10}}{f_c}$$

for the MF4-50. The above equation shows that for a given cutoff frequency (f_c), the input resistance of the MF4-50 is the same as that of the MF4-100. The higher the clock-to-cutoff-frequency ratio, the greater equivalent input resistance for a given clock frequency.



TL/H/5064-15

a) Equivalent Circuit for MF4 Filter Input



TL/H/5064-20

b) Actual Circuit for MF4 Filter Input

FIGURE 4. MF4 Filter Input

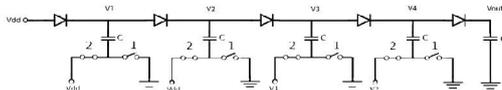
3. Régulateur à découpage à capacités commutées

Principe

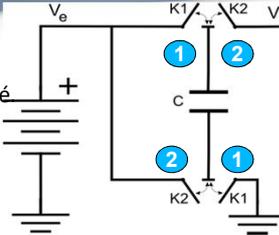
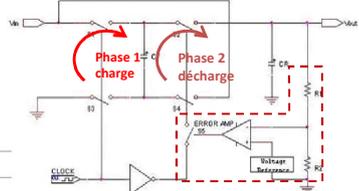
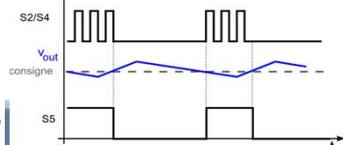
La conversion est réalisée en commutant périodiquement une capacité

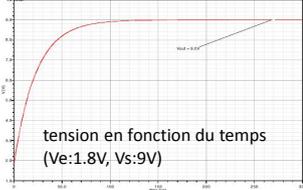
- $0 < t < \alpha T$: K1 et K3 fermés
- $\alpha T < t < T$: K2 fermé

Exprimer V_s en fonction de V_e

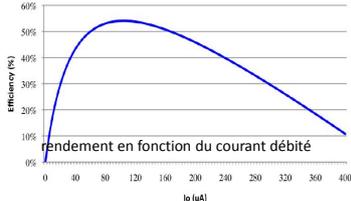


Une capacité C_1 en sortie permet de lisser la tension.



tension en fonction du temps
($V_e:1.8V, V_s:9V$)



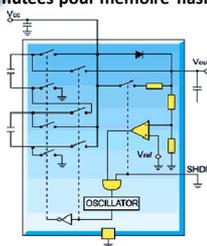
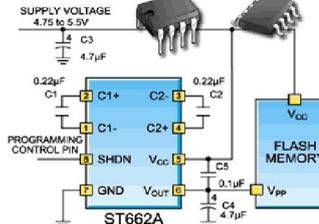
rendement en fonction du courant débité

II. Switched-cap

3. Régulateur à découpage à capacités commutées

0.18 [μm] CMOS process.
8[mA], 0.3-1.1[V].
Capacité de transfert intégrée

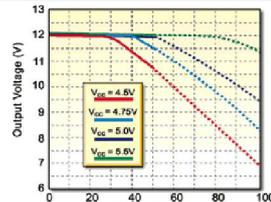
Exemple : ST662A, régulateur à capacités commutées pour mémoire flash

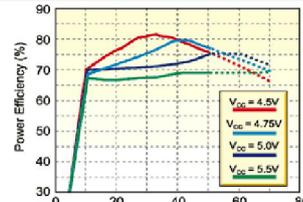



LM2757, régulateur à capacités commutées pour écran OLED



Capacitor	Type	Value μF
Charge Pump C1	Ceramic	0.22
Charge Pump C2	Ceramic	0.22
Input C3	Eletrolytic Tantalum	4.70
Output C4	Eletrolytic Tantalum	4.70
Decoupling C5	Ceramic	0.10





- Pas d'inductance
- Simple à utiliser
- Intégrable
- Faible coût
- À la fois éleveur et abaisseur de

- tension
- Rendement (60 à 90%) pour un point de fonctionnement optimal
- Faible puissance (< 1[W])
- Bruit de commutation

21

II. Switched-cap

Conclusion

- Intégration simple avec technologie transistors MOS
- Traitement discret du signal
 - amplification, filtrage, conversion analogique-numérique
 - électronique intégrée pour capteurs et capteurs MEMS
- Faible puissance convertisseur DC/DC
 - (systèmes de récupération d'énergie)
- **Filtre anti-repliement nécessaire** quand combiné avec circuits à temps continu
- Plus précis que R intégrée : rapport de surface

22

II. Switched-cap | **Capacités commutées et swing-probe**

L'objet de cette étude est un microsystème pour la profilométrie verticale de microcavités. Ce type d'outils doit permettre de relever le profil de cavité micro-usinées. Une micropoutre supportant une pointe est utilisée pour relever par contact le profil. Le principe de détection de contact est capacitif. Les capacités sont formées par des peignes interdigités.

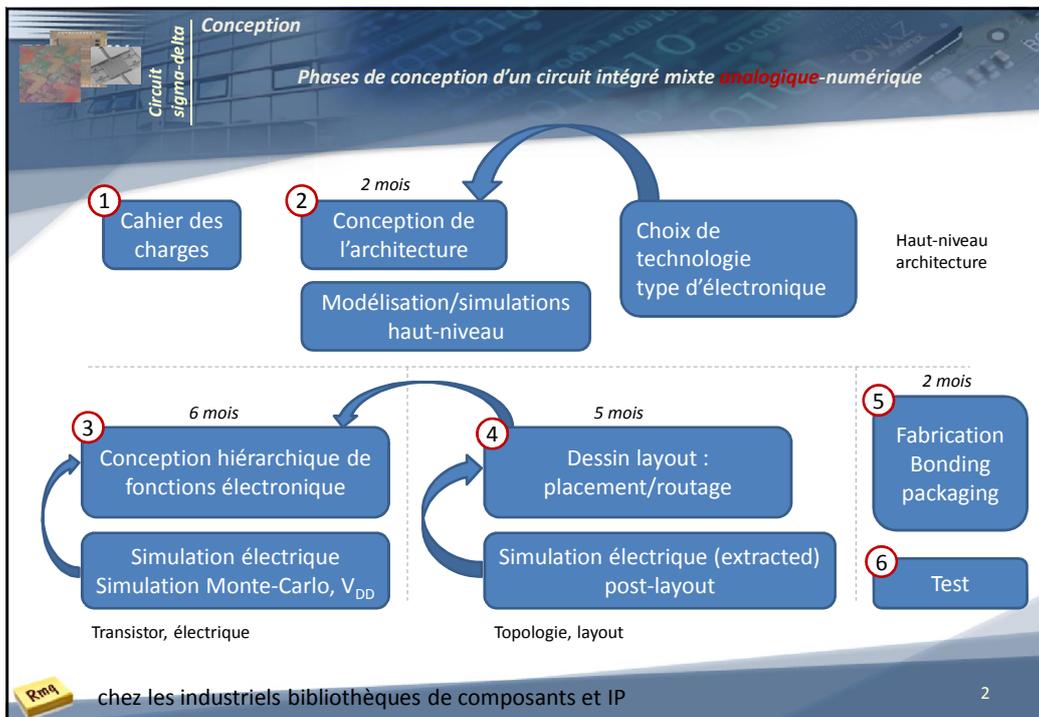
The figure consists of several sub-images: a 3D schematic showing a cantilever with a probe tip and a deflector, labeled with 'Sliding', 'Deflector', 'Cantilever needle', and 'Probe tip'; a cross-sectional diagram of the probe tip in a hole, labeled with 'Hole', 'Substrate', 'Air', and capacitance values C_1 , C_2 , C_3 , and C_4 ; a scanning electron micrograph (SEM) of the probe tip; a circuit diagram of the probe's electrical connections, labeled with 'Probe', '20pin: 1mm', '2mmx50mm', and 'Tip: 20µm'; and a photograph of the physical device.

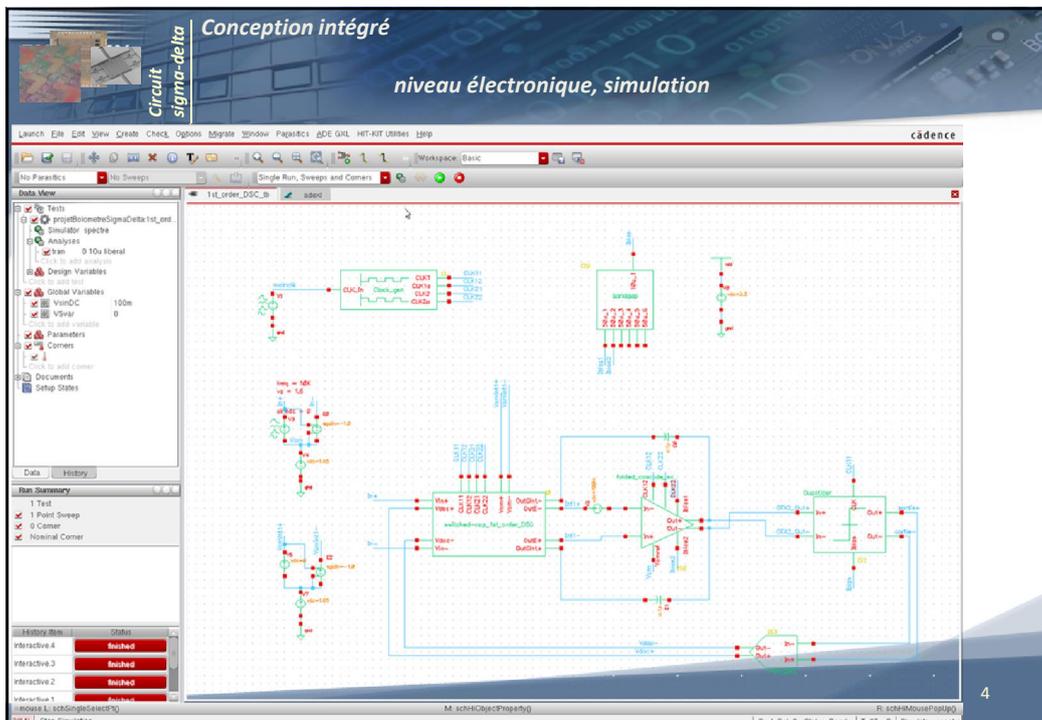
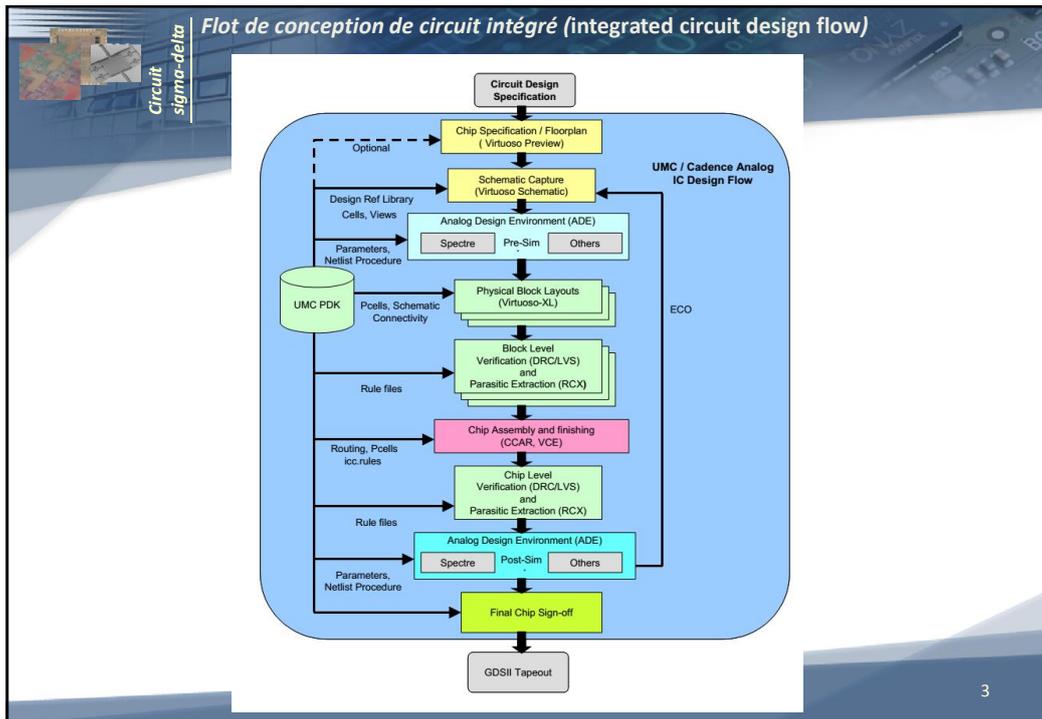
Circuit sigma-delta du TP Exemple de circuit à capacités commutées

Contexte de l'intégration des systèmes
la conception de circuit intégré

M. Denoual

1





III. Circuit sigma-delta du TP

Circuit sigma-delta **Conception intégrée**

Layout, *vue extracted*

The figure shows three views of a sigma-delta circuit: a schematic, a layout, and an extracted layout. The schematic on the left shows two stages of a sigma-delta modulator. Each stage consists of an input, a summing junction, an integrator (represented by a capacitor), and a quantizer (represented by a 1-bit DAC). The layout in the middle shows the physical placement of these components on a grid. The extracted layout on the right shows the detailed electrical connections, including the placement of capacitors and the routing of signals to the input and output pins.

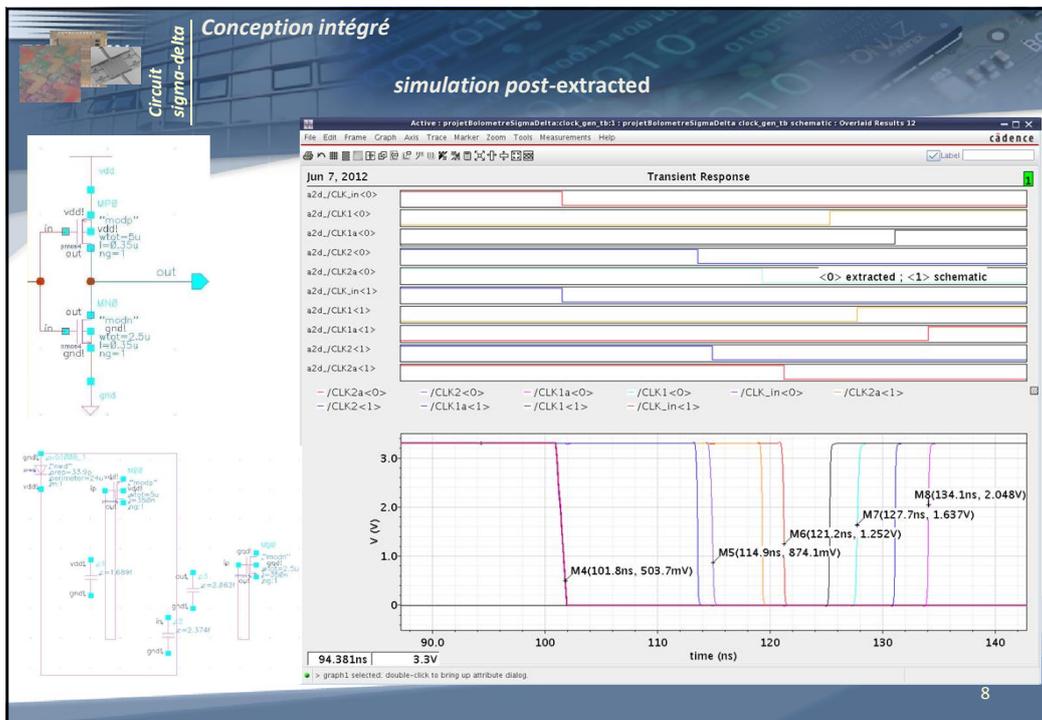
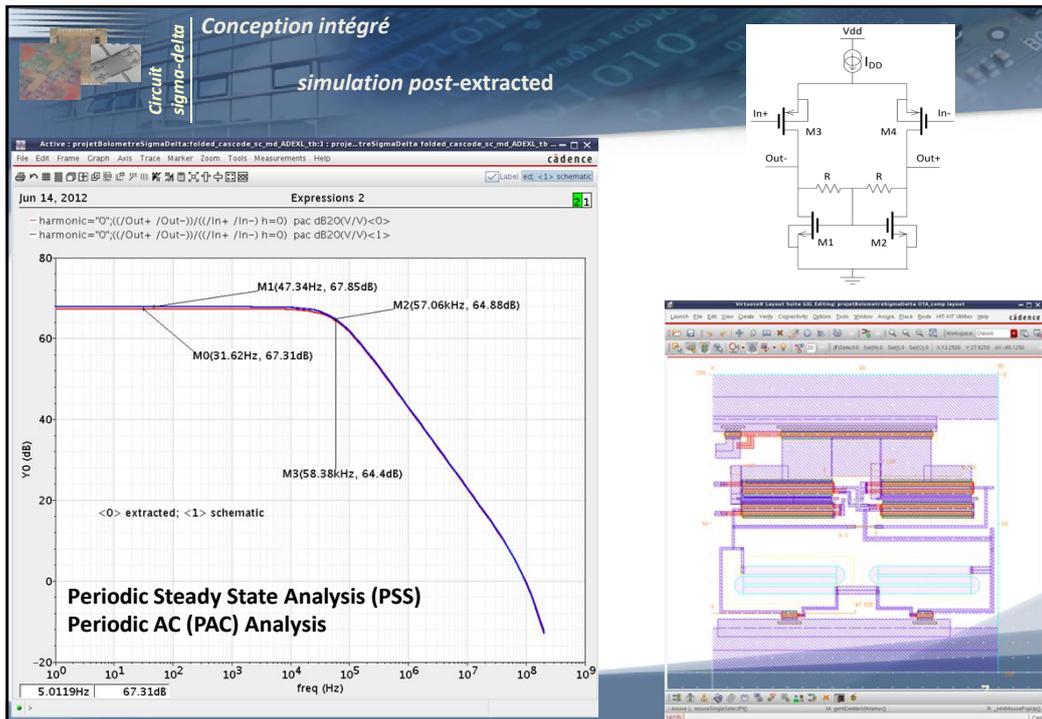
schematic layout extracted

5

Circuit sigma-delta **Conception intégrée**

Hierarchique

The figure illustrates a hierarchical design approach for a sigma-delta circuit. On the left, a block diagram shows a chain of four stages. Each stage includes a summing junction, a delay element (z^{-1}), and a quantizer. The input is a bitstream at frequency f_s , and the output is at frequency f_s/L . On the right, two screenshots from a CAD tool show the hierarchical layout. The top screenshot shows the overall architecture with blocks for 'Intégrateur_13bita', 'Intégrateur_13bitb', 'Intégrateur_13bitc', 'Intégrateur_13bitd', and 'clock_divider_64_buff'. The bottom screenshot shows a more detailed view of the same layout, highlighting the internal structure of the integrator and quantizer blocks.

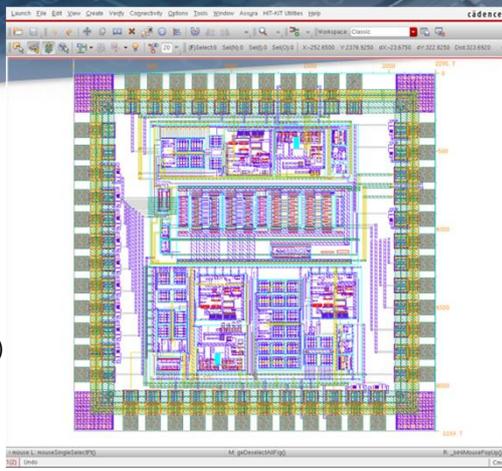


III. Circuit sigma-delta du TP

Circuit sigma-delta

Description technique

- Technologie CMOS 0,35µm
- Tension d'alimentation 3,3V
- 3 niveaux de métal
- 2,3mm×2,3mm, 47 pads
- Technologie AMS (Austria Micro System)
- CMP : Centre Multi Projet
- 72 Euros/mm² (2012)

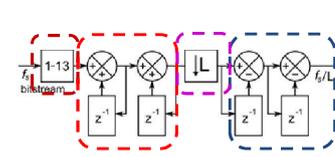


- Electronique différentielle (*fully-differential*)
- Electronique à capacités commutées (*switched-capacitor*)

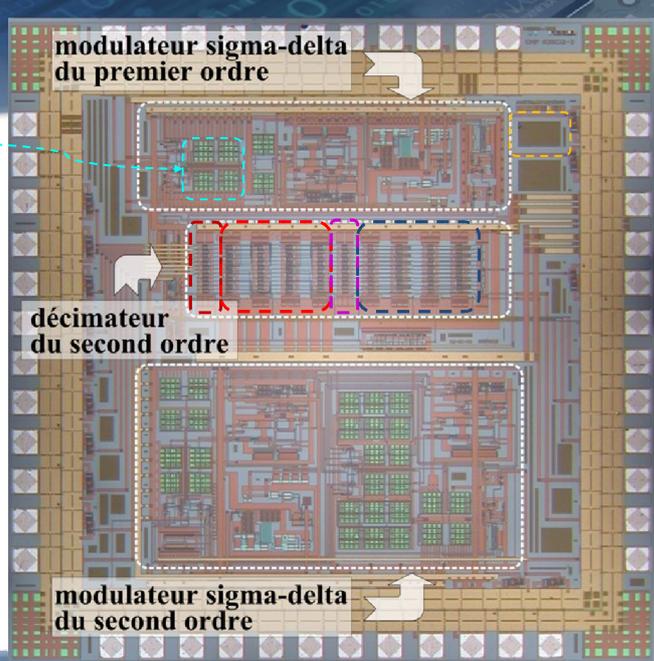
9

Circuit sigma-delta

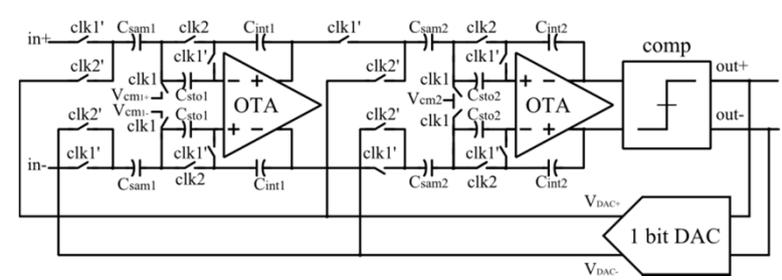
Structure du circuit



capacités



Circuit sigma-delta **Convertisseur sigma-delta 2nd ordre**

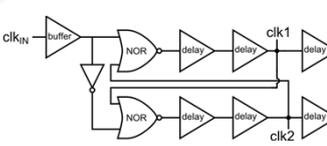
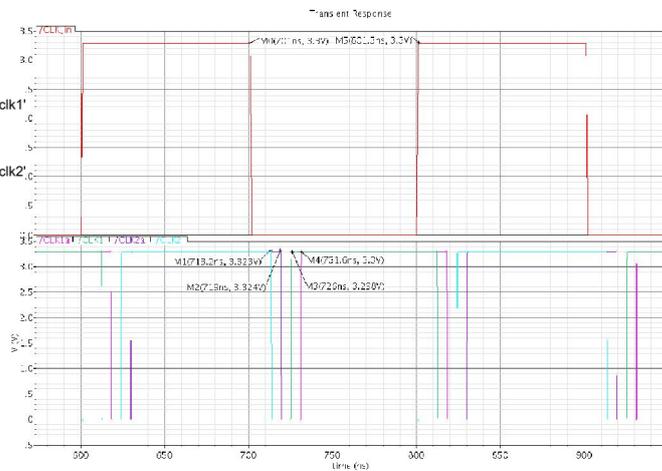
Intérêt électronique différentielle ?
full-diff vs single-ended

clk1, clk1', clk2, clk2' : horloges non-recouvrantes avec délai
Two-phase non-overlapping clock signals

11

Circuit sigma-delta **Signaux d'horloge**

horloges non-recouvrantes avec délai
Two-phase non-overlapping clock signals

clk1'(clk1a), clk2'(clk2a)

12

Circuit sigma-delta *Effet d'injection de charge*

transistor NMOS interrupteur fermé

ouverture de l'interrupteur

$Q = WLC_{ox}(V_{DD} - V_e - V_{th})$

Hypothèse : $Q/2$ de chaque coté

erreur dépendant du signal

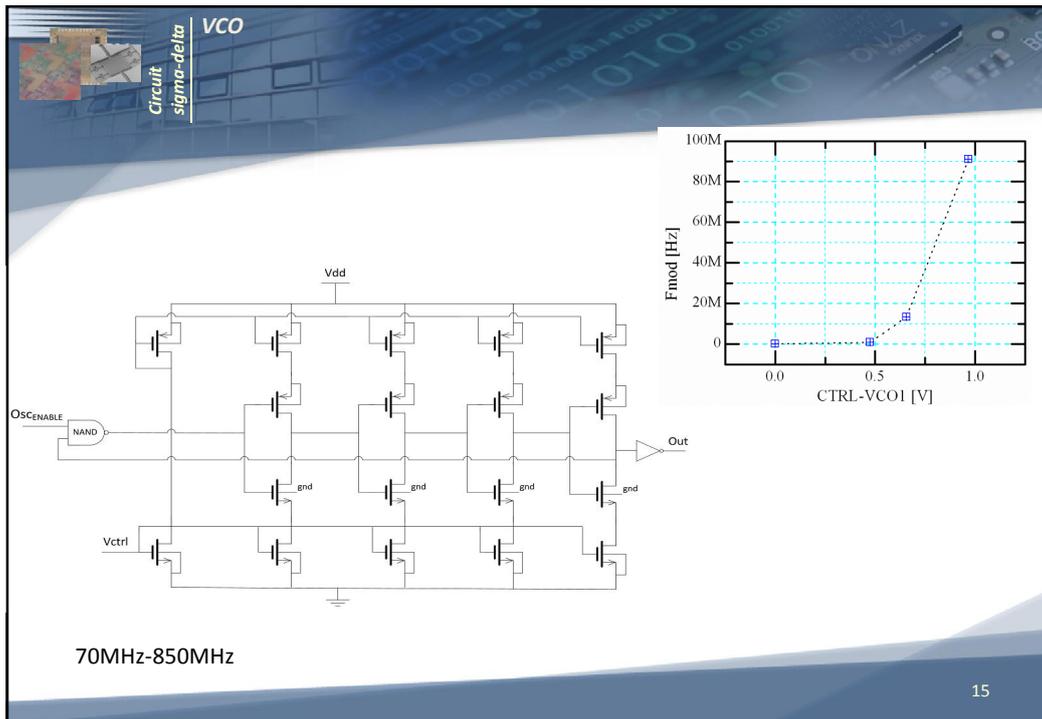
13

Circuit sigma-delta *Effet d'injection de charge*

Solutions

- dummy switch interrupteur factice**
 - Q_2 2 fois moins grand que Q_1 ($W_2=W_1/2$)
 - Charge par forçement $Q/2$
- interrupteur NMOS et PMOS**
 - Temps de fermeture/ouverture différents
 - Valable pour une valeur de V_e seulement
- technique bottom-plate**
 - non-dépendant du signal

14



Circuit sigma-delta Considération de layout

The Art of Analog Layout, Alan Hastings ISBN 0-13-087061-7, Prentice Hall

- Non homogénéité des dopages et dépôts et du stress dans le wafer ou la puce, de la température

The figure includes several diagrams illustrating stress and temperature distribution. On the left, a graph shows 'Stress' vs 'x' with a curve labeled 'Stress along section R-R'. Below it is a contour plot labeled 'isobare contour plot' with axes 'A' and 'B'. To the right, another graph shows 'Stress' vs 'x' with a curve labeled 'Stress along section A-A'. Further right, a contour plot shows 'Contour isotherme d'une puce ayant une source de chaleur principale' (isotherm contour of a chip with a main heat source) with a 'Power device' indicated. The text 'Contour isobare de la distribution de contrainte dans une puce de silicium <100> assemblée sur un support plastic avec de l'époxy' (isobare contour of the stress distribution in a silicon chip <100> assembled on a plastic support with epoxy) is also present.

- Dummy components (connectés électriquement)

The figure shows a schematic of dummy components (R1, R2) connected to a central capacitor array. The text 'unit capacitor : optimum size 20x20µm à 50x50µm' is provided. A micrograph of a capacitor array is shown on the right.

16

Circuit sigma-delta *Considération de layout*

▪ **Common centroid transistors**

4 règles du layout common-centroïd

1. Coïncidence
2. Symétrie en X et Y
3. Dispersion
4. Compacité → idéalement carré

17