

Nom :
Prénom :
N° de place :

ENSICAEN
1^{ère} année
informatique

Examen de circuits logiques 2012-2013

durée : 90 minutes

Les réponses seront données sur ces feuilles à l'intérieur des espaces prévus à cet usage.

1- Conversion numérique

- ◆ Complétez le tableau ci-dessous

Base 2 (12 bits)*	Base 10	démarche et/ou commentaires
	74,25	
	-33	
	147,25	
	-45,43	

* les nombres binaires seront représentés en complément à deux sur 12 bits et les valeurs non entières en virgule fixe $Q_{8,4}$. (Rappel représentation $Q_{m,k}$ sur N bits: $b_{m+k-1}b_{m+k-2} \dots b_k b_{k-1} \dots b_2 b_1 b_0$; $N=m+k$)

- ◆ Codez les valeurs suivantes sur 10 bits virgule flottante (E sur 4 bits ; F sur 5 bits) suivant le modèle dérivé de la norme IEEE 754.

A = 22

B = -0,15625

Rappel : représentation en virgule flottante suivant le modèle dérivé de la norme IEEE 754. La valeur X est représentée suivant la forme : $X = (-1)^S \cdot 2^{E-7} \cdot 1, F$

X s'écrit alors en binaire virgule flottante : $\underbrace{e_3 e_2 e_1 e_0}_{\text{signe}} \underbrace{f_4 f_3 f_2 f_1 f_0}_E$; E et F sont codés en binaire non signé.

2- Bloc de décodage pour un convertisseur analogique-numérique parallèle

L'objectif de cet exercice est la synthèse du décodeur d'un convertisseur analogique-numérique parallèle 3 bits. La structure complète du convertisseur est illustrée dans la Figure 1. Le convertisseur comprend une échelle de résistances définissant des niveaux de références (1V, 2V, 3V, 4V, 5V, 6V, 7V), des étages de comparaison pour chaque niveau de référence et un décodeur. Le décodeur permet de passer des résultats de comparaison au mot de 3 bits (CBA) représentant la valeur d'entrée.

La Figure 2 illustre un exemple de résultat de conversion. Dans ce cas, la tension analogique d'entrée, V_e est 3,2V. Cette tension étant supérieure aux niveaux de références 1V, 2V et 3V, les signaux de comparaison C_0 , C_1 et C_2 sont à un niveau haut. Les autres signaux de comparaison sont à un niveau bas (C_3 , C_4 , C_5 , et C_6).

Remarque : ce type de convertisseur parallèle ou flash est le plus rapide des convertisseurs analogiques numériques. La gamme de tension analogique en entrée de ce convertisseur est [0 ; 8V].

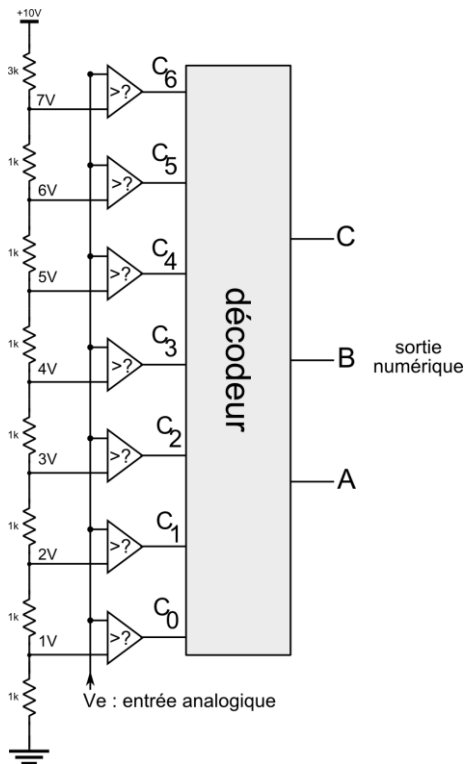


Figure 1 : Structure de convertisseur analogique-numérique parallèle 3 bits

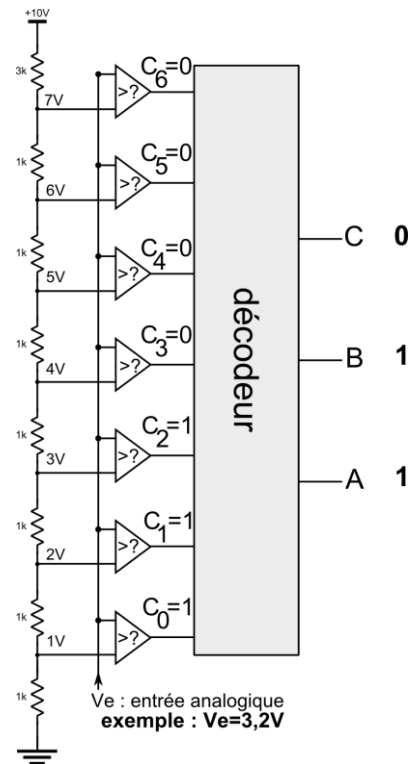


Figure 2 : Exemple de conversion pour une tension d'entrée $V_e=3,2V$

Q2.1. Quel est le pas de quantification (quantum, q) dans le cas de cette conversion utilisant ce convertisseur analogique-numérique ?

Q2.2. La quantification de ce convertisseur est linéaire par défaut. Quelle est l'erreur maximum de quantification ?

Q2.3. Complétez la table de vérité correspondant au bloc logique décodeur ?

Remarque : toutes les combinaisons d'entrées ne sont pas possibles. Par exemple, une tension analogique d'entrée, V_e , ne peut pas être supérieure à 3V et inférieure à 1V.

L'exemple de la Figure 2 pour $V_e=3,2V$ se traduit par :

$C_6C_5C_4C_3C_2C_1C_0=00000111$ pour l'entrée du décodeur et $CBA=011$ pour la sortie (3 en binaire).

entrées							sorties		
C_6	C_5	C_4	C_3	C_2	C_1	C_0	C	B	A

Q2.4. A partir de la table de vérité, établir les équations logiques du décodeur

Remarque : dans cet exercice, étant donné le nombre d'entrée des fonctions logiques, les tables de Karnaugh ne seront pas efficaces pour la simplification. Les équations logiques peuvent se trouver directement à partir de la table de vérité et d'éventuelles simplifications algébriques.

Q2.5. Implémentez les équations logiques obtenues dans la structure PAL suivante.

Rappel sur la structure PAL

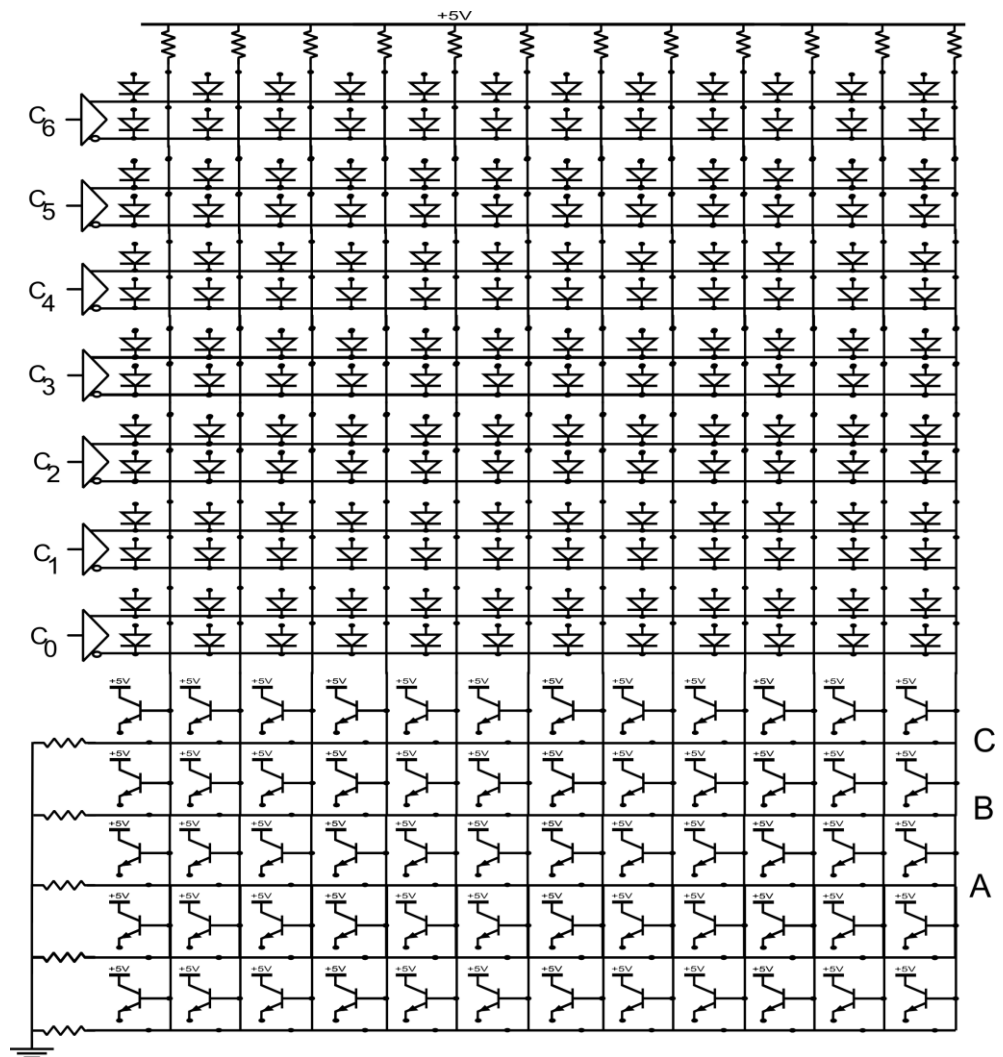
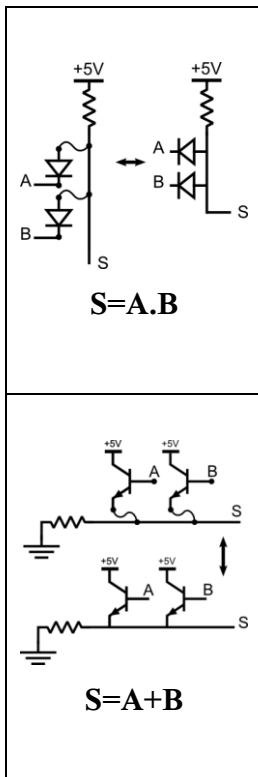


Figure 3 : Structure PAL pour l'implémentation du décodeur

3- Réception de données en liaison série

L'objectif de cet exercice est la synthèse d'une machine à états finis de type Moore gérant la réception de mots de 4 bits issus d'une liaison série sur un fil de donnée. Une liaison permet la transmission d'information en série entre deux machines ou équipements. La Figure 4 montre une liaison série unidirectionnelle simplifiée entre deux équipements.

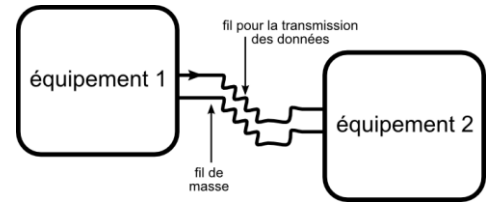


Figure 4 : Liaison série simple entre deux équipements

L'information est transmise bit à bit sur le fil de transmission de données en selon le protocole suivant :

L'arrivée d'un mot de 4 bits est précédée d'un bit de *start* correspondant au passage d'un niveau haut à un niveau bas sur le fil de données. Ensuite les 4 bits de données sont transmis les uns après les autres en commençant par le bit de poids faible (D0) et en finissant par le bit de poids fort (D3). A la fin de la transmission du mot de 4 bits, le niveau logique du fil repasse au niveau haut. Ce transfert est illustré à la Figure 5. Des exemples de transmissions de donnée sont illustrés en Figure 6.

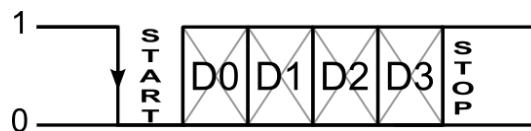


Figure 5 : Trame de transmission série

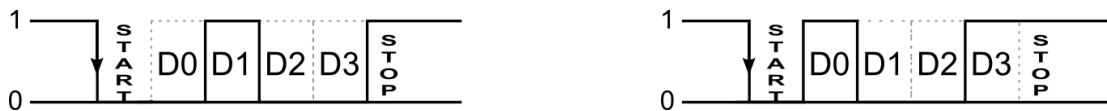


Figure 6 : Exemples de transmission série de mots de 4 bits. A gauche, le mot 0x2 est transmis (0010). A droite, c'est le mot 0x9 qui est transmis (1001).

L'étage de réception du signal série est constitué d'un registre à décalage et d'une machine à états finis gérant le signal de décalage du registre et un signal de fin de réception. Le registre à décalage est constitué de 4 bascules D à front cascades et de multiplexeurs permettant de conserver la valeur contenue dans les bascules ou bien de la décaler.

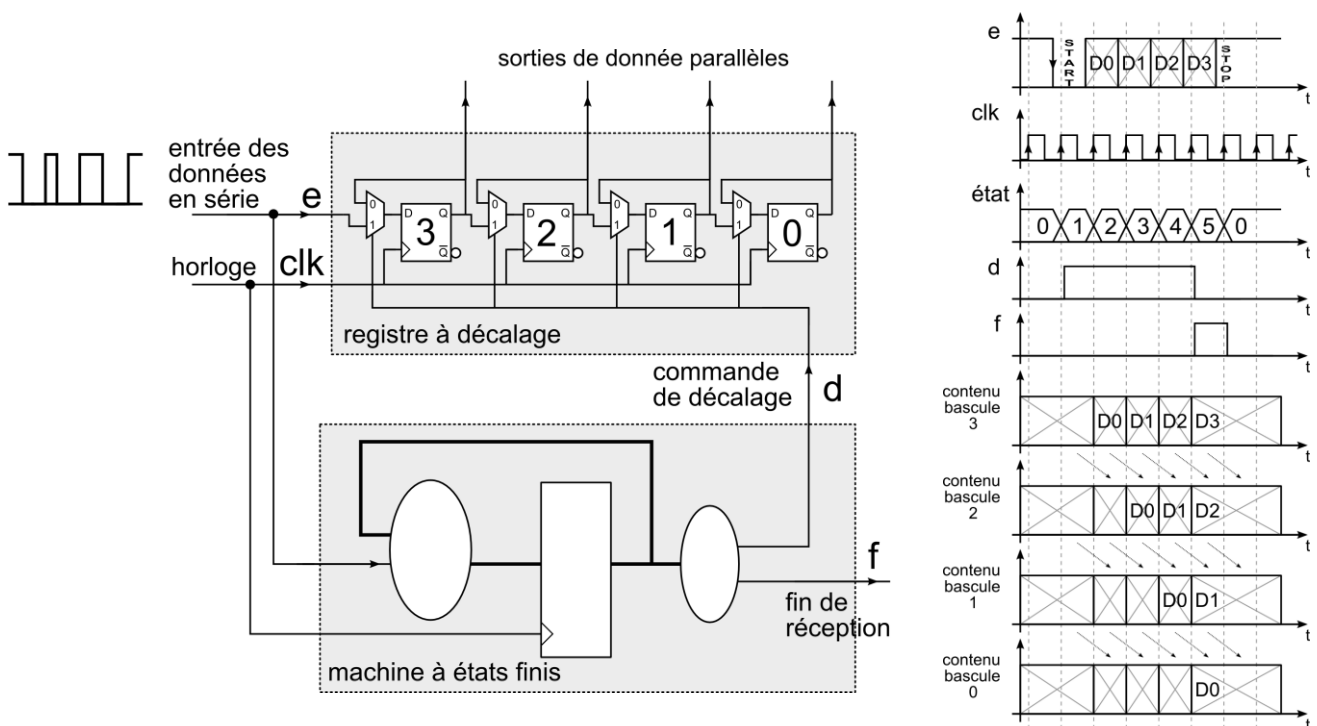
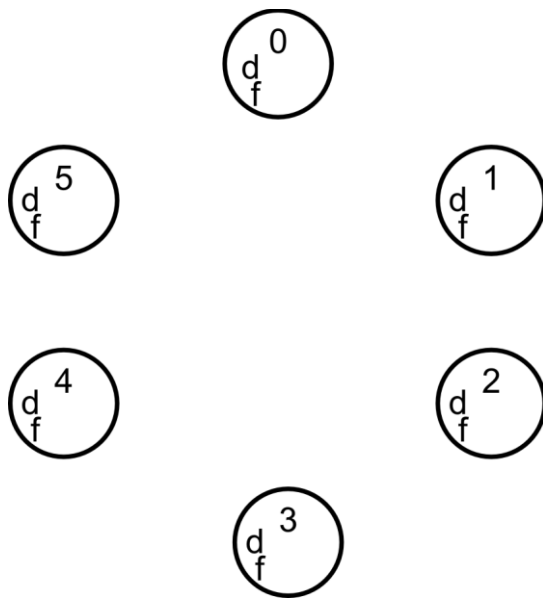


Figure 7 : Structure du récepteur série et chronogramme de fonctionnement

Synthèse de la machine à états finis gérant le registre à décalage et le signal de fin de réception

La machine à états finis doit commander 4 décalages une fois le bit de *start* reçu et générer un niveau sur la sortie signal de fin de réception une fois tous les 4 bits dans le registre à décalage. On pourra alors accéder de façon parallèle au mot de 4 bits grâce aux sorties de données parallèles correspondant aux 4 sorties des bascules. Le chronogramme de la Figure 7 décrit ce fonctionnement.

Q3.1. Complétez le diagramme d'état suivant



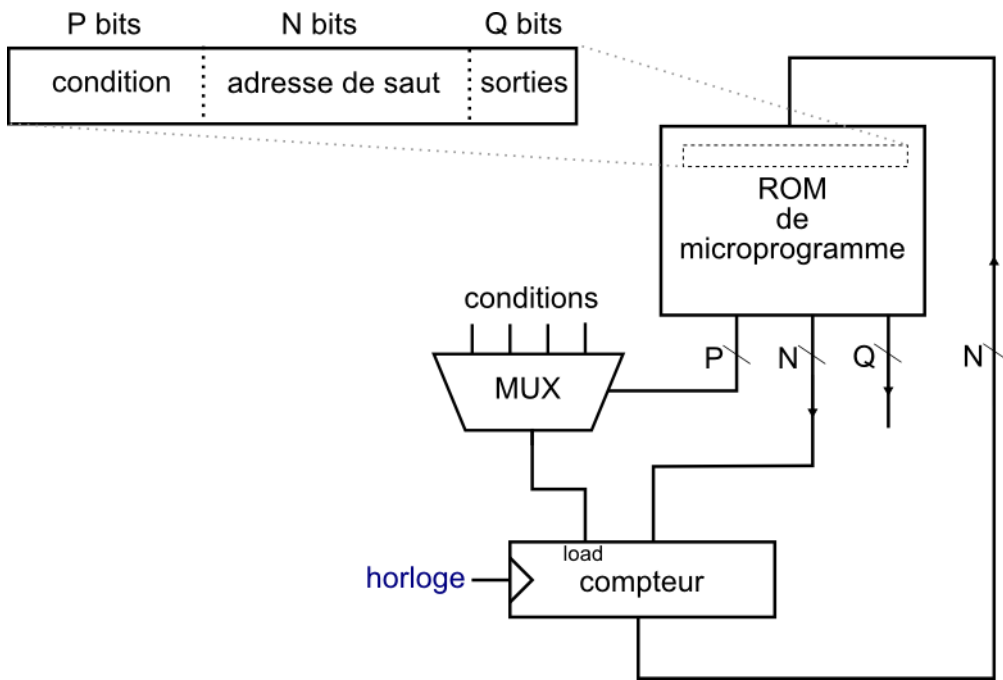
Q3.2. Synthétisez la machine à états finis correspondant.

La synthèse ira jusqu'à l'obtention des équations des blocs logiques. Les schémas à base de portes logiques ne sont pas demandés.

Remarque : veillez à expliquer votre démarche et à présenter vos résultats intermédiaires.

Q3.3. Réalisation à partir d'un séquenceur micro-programmé.

Dans les figures ci-dessous, précisez les formats N, P et Q et complétez le tableau.



état	description de la micro-instruction	sorties	micro-instruction (contenu mémoire)