

Nom :
Prénom :
N° d'ordre :

ENSICAEN
1^{ère} année
informatique

Examen de circuits logiques

durée : 90 minutes

Les documents et calculatrices ne sont pas autorisés.

Les réponses seront données sur ces feuilles à l'intérieur des cadres prévus à cet usage s'il y en a.

1- Conversion numérique

- ◆ Compléter le tableau ci-dessous

Base 2 (12 bits)*	Base 10	Base 16	DCB
		2C,A	
	14		
		-8,7	
	-65,25		

* les nombres binaires seront représentés en complément à deux sur 12 bits et les valeurs non entières en virgule fixe Q_3 . (Rappel représentation Q_k sur N bits: $b_{N-1}b_{N-2}.....b_{k+1}b_k.....b_2b_1b_0$)

- ◆ Coder les valeurs suivantes sur 10 bits virgule flottante (E sur 4 bits ; F sur 5 bits) suivant la norme IEEE 754.

A=5,

B = 0.35

C = -88

Rappel : représentation en virgule flottante norme IEEE 754

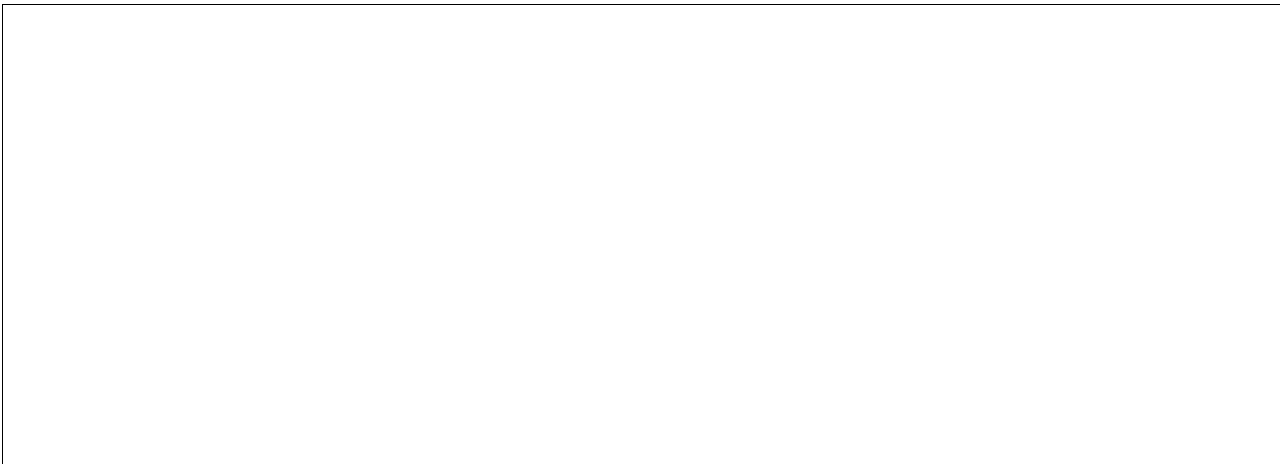
La valeur X est représentée suivant la forme : $X = (-1)^S \cdot 2^{E-7} \cdot 1.F$

X s'écrit alors en binaire virgule flottante : $\underbrace{S}_{\text{signe}} \underbrace{e_3 e_2 e_1 e_0}_E \underbrace{f_4 f_3 f_2 f_1 f_0}_F$

E et F sont codés en binaire non signé.

2-. synthèse logique

L'objectif est de créer un compteur de 0 à 7 cyclique qui allume une led spéciale Lp lorsque le nombre en sortie du compteur est premier. Vous déterminerez les équations logiques permettant de réaliser une telle application et vous dessinerez le schéma logique à base de portes NAND et de bascules D correspondant.



3- Portes logiques et transistor

D'un point de vue physique, les portes logiques sont réalisées à partir de transistors. Plusieurs type de transistors peuvent être employés, mais le plus couramment utilisé est celui des transistor Métal Oxyde Isolant plus connu sous le sigle transistor MOS. La fabrication des portes logiques s'appuie alors sur l'utilisation de deux types de transistors, les transistors NMOS et les transistor PMOS. Ces transistors sont utilisés comme des interrupteurs et chacun de ces transistors est caractérisé par les niveaux logiques qui le rendent assimilable à un interrupteur ouvert ou bien à un interrupteur fermé. La figure 1 reprend les configurations possibles.

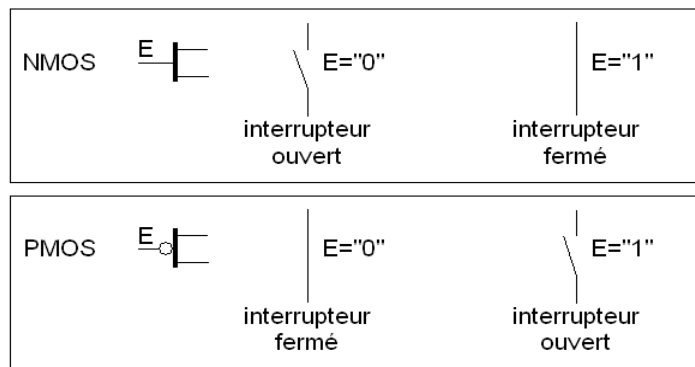


Figure 1: Modèles des transistors MOS

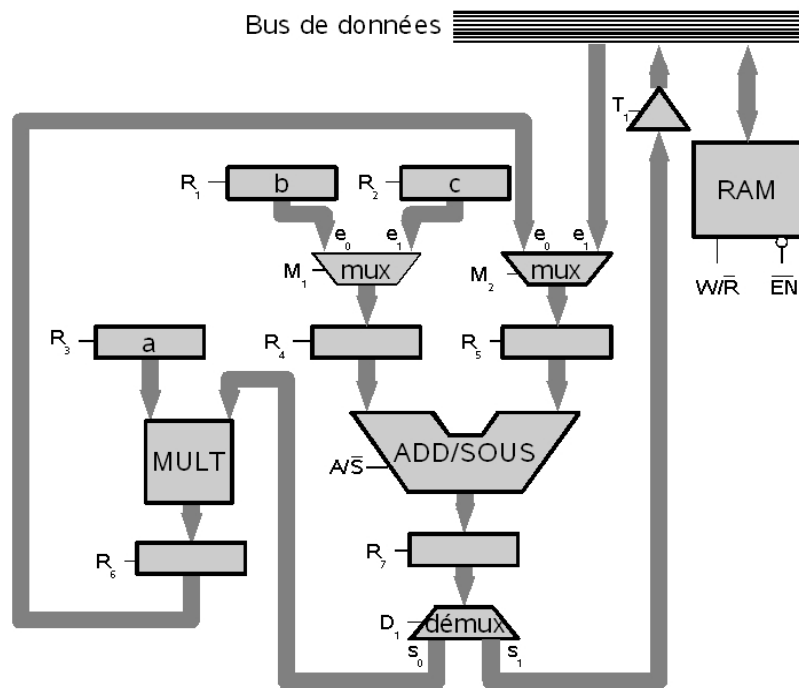
A partir de ces informations, déterminez pour les schémas ci-dessous la fonction logique réalisée dans chacun des cas.

S =	S =	S =
fonction réalisée :	fonction réalisée :	

4- Machine à états finis

L'objectif est de réaliser l'unité de contrôle sous forme de machine à états finis permettant d'effectuer le calcul $y=a(x+c)-b$ (x donnée stockée en mémoire RAM et y résultat du calcul devant être mémorisé dans la RAM ; a , b et c des coefficients de calcul chargés dans des registres) sur l'unité de traitement présentée ci-dessous

Remarques :



La multiplication prend **deux temps** de cycle, tandis que l'addition en prend un seul.

Il faut que la donnée soit présente sur le bus avant de pouvoir être chargée dans le registre ou écrite en mémoire. On supposera que les adresses mémoire pour la lecture et l'écriture sont gérées automatiquement.

On supposera que les valeurs a , b et c sont préchargées.

On utilisera des bascules D pour le registre d'état.

Les signaux R_i commande le chargement des registres lorsqu'ils sont à l'état 1. Les sorties du tristate sont connectées au bus de données lorsque T_1 est à l'état 1, elles en sont isolées sinon.

Questions :

1. Remplir le tableau d'évolution du système pour opérer le calcul.
2. En déduire la taille le machine d'état nécessaire.

